

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-287365

(43)Date of publication of application : 12.10.1992

(51)Int.Cl.

H01L 27/108

H01L 21/318

H01L 21/324

H01L 27/04

H01L 29/784

(21)Application number : 03-075858

(71)Applicant : SONY CORP

(22)Date of filing : 15.03.1991

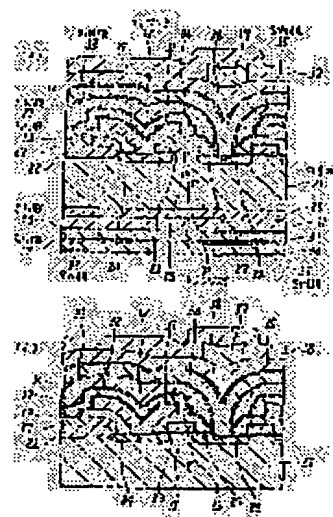
(72)Inventor : ITO MASAHIKO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a semiconductor device of high reliability with high yield.

CONSTITUTION: When SiN films 13, 17, 33, 35 as the capacitor insulating film of a DRAM and the stopper at the time of wet etching and polycrystalline Si films 25, 31, 32, 34 being conductor films are formed by low pressure CVD, these films are deposited also on the rear side of an Si substrate 21. After these films on the rear side are eliminated by etching or grinding, annealing in a hydrogen atmosphere is performed in order to recover interface level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-287365

(43) 公開日 平成4年(1992)10月12日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
21/318	B	8518-4M		
21/324	Z	8617-4M		
		8728-4M	H 0 1 L 27/10	3 2 5 C
		8225-4M	29/78	3 0 1 N
審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平3-75858
 (22) 出願日 平成3年(1991)3月15日

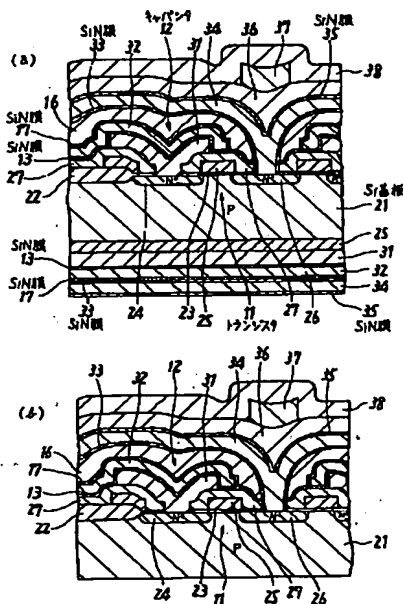
(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72) 発明者 伊藤 政彦
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内
 (74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 信頼性の高い半導体装置を高い歩留りで製造する。

【構成】 DRAMのキャパシタ絶縁膜やウェットエッチング時のストッパ等であるSiN膜13、17、33、35と導電膜である多結晶Si膜25、31、32、34とを減圧CVDで形成すると、これらの膜はSi基板21の裏面側にも堆積する。そこで、裏面側のこれらの膜をエッチングや研削で除去してから、界面準位を回復させるための水素雰囲気中でのアニールを行う。



1

【特許請求の範囲】

【請求項1】水素の侵入を阻止する膜を半導体基板の素子形成面上に設ける半導体装置の製造方法において、前記素子形成面とは反対の面側に付着した前記膜をエッチングで除去した後に水素雰囲気中で前記半導体基板をアニールする半導体装置の製造方法。

【請求項2】水素の侵入を阻止する膜を半導体基板の素子形成面上に設ける半導体装置の製造方法において、前記素子形成面とは反対の面側に付着した前記膜を研削で除去した後に水素雰囲気中で前記半導体基板をアニールする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願の発明は、水素の侵入を阻止する膜を半導体基板の素子形成面上に設ける半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図2は、製造過程にある折り返しビット線構成の積み上げキャパシタ型DRAMを示している。DRAMではトランジスタ11とキャパシタ12とでメモリセルが構成されているが、減圧CVDによって形成したSiN膜13がキャパシタ絶縁膜として多く用いられている。

【0003】また、図2に示す様に、メモリセル部14では多層の導電膜を用いるが、周辺回路部15では導電膜の層数が少ない。このため、周辺回路部15の段差を緩和するために、BPSG膜16等の層間絶縁膜を周辺回路部15においてのみウェットエッチングで除去する。そして、この時のストップとしても、減圧CVDによって形成したSiN膜17が用いられている。

【0004】更に、減圧CVDによって形成したSiN膜は、非常に緻密であるので、汚染防止膜としても用いられる。

【0005】

【発明が解決しようとする課題】ところが、図2からも明らかな様に、SiN膜13、17はSi基板21の略全面を覆っている。しかも、SiN膜13、17は減圧CVDによって形成するので、これらのSiN膜13、17はSi基板21の裏面側をも覆っている。一方、減圧CVDによって形成したSiN膜13、17は、既述の様に非常に緻密であるので、水素の侵入をも阻止する。

【0006】このため、フィールド酸化膜であるSiO₂膜22やゲート酸化膜であるSiO₂膜23等とSi基板21との間の界面準位を回復させるために、水素雰囲気中でアニールを行っても、この回復が十分には行われない。

【0007】この結果、トランジスタ11のソース・ドレインの一方であるN⁺拡散層24とP型のSi基板21との間でPN接合が形成されているにも拘らず、Si

2

O₂膜22とSi基板21との間の界面準位を介してN⁺拡散層24からSi基板21へリーク電流が流れ、DRAMのデータ保持特性が悪化する。

【0008】また、SiO₂膜23とSi基板21との間の界面準位のために、V_t-I_d特性等のトランジスタ11の特性が設計値から変動する。なお、以上の様な現象は、DRAMに限らず、一般の半導体装置についても生ずる。従って、従来の方法では、信頼性の高い半導体装置を高い歩留りで製造することができなかった。

【0009】

【課題を解決するための手段】請求項1の半導体装置の製造方法は、水素の侵入を阻止する膜13、17、33、35のうちで半導体基板21の素子11、12形成面とは反対の面側に付着した前記膜13、17、33、35をエッチングで除去した後に水素雰囲気中で前記半導体基板21をアニールする。

【0010】請求項2の半導体装置の製造方法は、水素の侵入を阻止する膜13、17、33、35のうちで半導体基板21の素子11、12形成面とは反対の面側に付着した前記膜13、17、33、35を研削で除去した後に水素雰囲気中で前記半導体基板21をアニールする。

【0011】

【作用】請求項1及び2の何れの半導体装置の製造方法でも、半導体基板21の素子11、12形成面とは反対の面から水素が導入され、素子11、12の膜の構成を何ら変更することなく界面準位を十分に回復させることができる。

【0012】請求項1の半導体装置の製造方法では、膜13、17、33、35の除去もクリーンルーム内で行うことができるので、半導体基板21の汚染が少ない。

【0013】請求項2の半導体装置の製造方法では、半導体基板21の素子11、12形成面とは反対の面側の研削はパッケージングの前工程として一般に行われているので、膜13、17、33、35の除去のために追加的な工程を必要としない。しかも、研削によって半導体基板21に生ずる損傷も、その後のアニールによって回復させることができる。

【0014】

【実施例】以下、折り返しビット線構成の積み上げキャパシタ型DRAMの製造に適用した本願の発明の第1及び第2実施例を、図1を参照しながら説明する。

【0015】第1実施例では、図1(a)に示す様に、Si基板21の素子分離領域の表面にフィールド酸化膜であるSiO₂膜22を形成し、活性領域の表面にゲート酸化膜であるSiO₂膜23を形成する。

【0016】そして、リンをドーブした第1層目の多結晶Si膜25によってワード線つまりトランジスタ11のゲート電極を形成し、多結晶Si膜25の両側の活性領域中にトランジスタ11のソース・ドレインであるN

3

* 拡散層24、26を形成する。多結晶Si膜25は、層間絶縁膜であるSiO₂膜27で覆う。

【0017】その後、リンをドーブした第2層目の多結晶Si膜31とSiN膜13とリンをドーブした第3層目の多結晶Si膜32とで、キャパシタ12の記憶ノードとキャパシタ絶縁膜と対向電極とを夫々形成する。

【0018】次に、ウェットエッチングのストッパになるSiN膜17で多結晶Si膜32を覆い、層間絶縁膜であるBPSG膜16をSiN膜17上に形成する。BPSG膜16は、図2に示した様に、周辺回路部15で

10 10 ウェットエッチングによって除去する。
【0019】その後、BPSG膜16をSiN膜33で覆い、リンをドーブした第4層目の多結晶Si膜34によってビット線を形成する。そして更に、ウェットエッチングのストッパになるSiN膜35で多結晶Si膜34を覆い、層間絶縁膜であるBPSG膜36をSiN膜35上に形成する。このBPSG膜36も、周辺回路部15ではウェットエッチングによって除去する。

【0020】次に、BPSG膜36上にAl配線37を形成し、プラズマCVDによって形成したSiN膜20 20 であるP-SiN膜38でAl配線37を覆う。従って、このP-SiN膜38は表面保護膜になっている。

【0021】ところで、この第1実施例においても、多結晶Si膜25、31、32、34やSiN膜13、17、33、35を減圧CVDによって形成した後は、図1(a)に示す様に、Si基板21の裏面側にもこれらの膜が堆積している。

【0022】そこで、この第1実施例では、Si基板21の表面側をレジスト(図示せず)で覆って保護した状態で、Si基板21の裏面側をドライエッチングすることによって、図1(b)に示す様に、Si基板21の裏面側のSiN膜35、33、17、13と多結晶Si膜34、32、31、25とを除去する。その後、水素雰囲気中でアニールを行って、既述の界面単位を回復させる。

【0023】Si基板21の裏面側のドライエッチングは、水素雰囲気中でアニールの直前に行ってもよく、夫々の膜を堆積させた直後に各々別個に行ってもよい。

【0024】なお、この第1実施例では、Si基板21の裏面側において、水素の侵入を阻止するSiN膜35、33、17、13のみならず、リンがドーブされている多結晶Si膜34、32、31、25をも除去している。従って、これらの多結晶Si膜25、31、32、34からSi基板21へのリンのオートドーピングを防止することもできる。

【0025】次に、第2実施例を説明する。第2実施例も、図1(a)に示した状態までは上述の第1実施例と

4

同様の工程を実行して、DRAMを製造する。しかし、この第2実施例では、Si基板21の裏面側のSiN膜35、33、17、13と多結晶Si膜34、32、31、25との除去を、エッチングではなく研削によって行う。

【0026】但しこの研削は、第2実施例に追加的な工程ではなく、パッケージングに際してSi基板21の厚さを調整するために一般に行われている工程と兼用している。しかし、この第2実施例では、既述の界面単位を回復させるための水素雰囲気中でアニールをこの研削後に行う。

【0027】なお、以上の第1及び第2実施例の何れにおいても、減圧CVDによって形成したSiN膜13、17、33、35が、水素の侵入を阻止する膜になっている。しかし、リンが高濃度にドーブされている多結晶Si膜も、水素に対するゲッターリング能力を有しているので、水素の侵入を阻止する膜となり得る。

【0028】また、上述の第1及び第2実施例の何れも折り返しビット線構成の積み上げキャパシタ型DRAMの製造に本発明を適用したものであるが、本発明は他の型のDRAMや論理LSI等の製造にも適用することができる。

【0029】

【発明の効果】請求項1の半導体装置の製造方法では、素子の膜の構成を何ら変更することなく界面単位を十分に回復させることができ、しかも半導体基板の汚染が少ないので、信頼性の高い半導体装置を高い歩留りで製造することができる。

【0030】請求項2の半導体装置の製造方法では、素子の膜の構成を何ら変更することなく界面単位を十分に回復させることができ、しかも研削によって半導体基板に生ずる損傷も回復させることができ、更に膜の除去のために追加的な工程を必要としないので、信頼性の高い半導体装置を高い歩留りで且つ少ない工程で製造することができる。

【図面の簡単な説明】

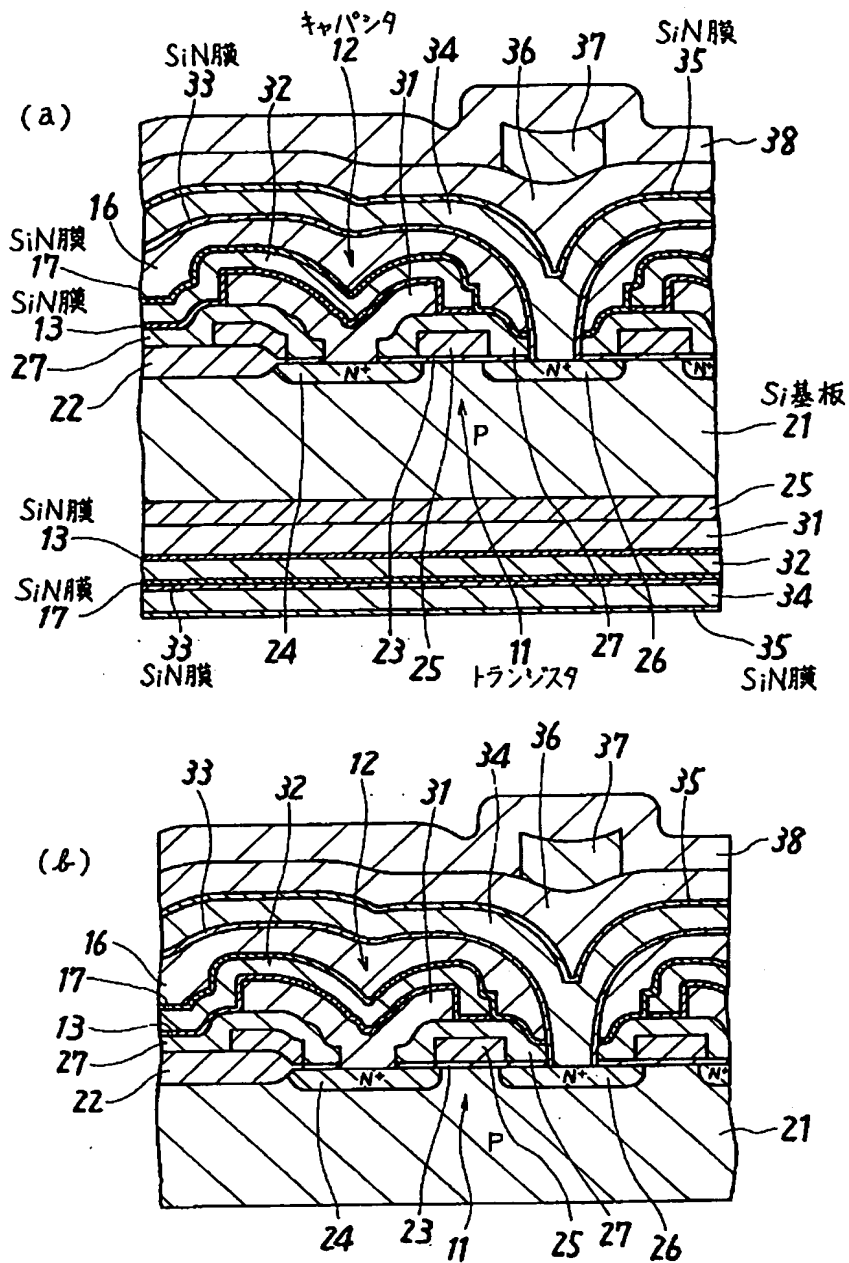
【図1】本願の発明の第1及び第2実施例を順次に示す側断面図である。

【図2】本願の発明の前提条件を示す側断面図である。

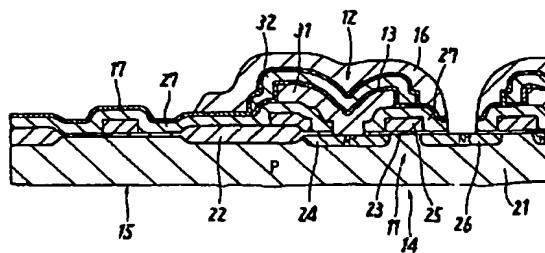
【符号の説明】

11	トランジスタ
12	キャパシタ
13	SiN膜
17	SiN膜
21	Si基板
33	SiN膜
35	SiN膜

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁵H 0 1 L 27/04
29/784

識別記号 片内整理番号

C 8427-4M

F I

技術表示箇所